

Структурное проектирование топологии сложных объектов микроэлектронных систем в условиях неопределенности проектных норм

Л. Е. Андреев¹, С. Э. Миронов², А. К. Фролкин³

Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В.И. Ульянова (Ленина)

¹l.andreev90@gmail.com, ²semironovspb@yandex.ru, ³anfrolkin@gmail.com

Аннотация. Приводятся результаты исследований авторов по комплексной автоматизации проектирования топологии сложных объектов микроэлектронных систем в условиях неопределенности проектных норм. Решение проблемы неопределенности проектных норм обеспечивается одномерным алгоритмом сжатия на основе виртуальной сетки. Плотная упаковка микроэлектронных систем достигается благодаря оригинальному методу итерационного согласования размеров модулей и положения их выводов. Описываются средства разработки структурного графического описания иерархических моделей сложных микроэлектронных систем, и излагается методика программной генерации топологии сложных объектов.

Ключевые слова: неопределенность проектных норм; иерархические модели; сложные объекты микроэлектронных систем; программная генерация топологии

I. ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ МИКРОЭЛЕКТРОННЫХ СИСТЕМ В УСЛОВИЯХ НЕОПРЕДЕЛЕННОСТИ ПРОЕКТНЫХ НОРМ

Технологические процессы на микроэлектронных предприятиях постоянно совершенствуются, что приводит к смене проектных норм.

Требования по сокращению временных затрат на разработку топологии сложных объектов микроэлектронных систем привели к созданию в конце прошлого века нового направления в системах автоматизированного проектирования. Оно получило название «технологически инвариантное проектирование топологии интегральных схем».

Средства технологически инвариантного проектирования базируются на так называемых алгоритмах сжатия топологии, которые позволяют оперативно адаптировать топологические проекты сложных объектов микроэлектронных систем к технологическим проектным нормам предприятий-изготовителей.

Исследования проводились в рамках выполнения государственного задания Минобрнауки России № 8.2080.2017/4.6

Это позволило разработчикам накапливать информацию и усложнять проекты, сокращая при этом сроки проектирования.

Все это привело к дальнейшему развитию технологии модульного проектирования сложных микроэлектронных систем, в рамках которой разработка базируется на широком использовании библиотек не только ячеек, но крупных модулей СБИС, называемых макроблоками интегральных схем.

В состав сложных современных микроэлектронных систем входят крупные модули двух типов.

Нерегулярные макроблоки методом трассировки и размещения собираются из более простых типовых структурных компонентов.

Макроблоки с регулярной структурной организацией собираются из специализированных элементов, топология которых создается в соответствии со структурно-топологическим планом, разработанным специально для этих макроблоков. Это усложняет проектирование, но существенно снижает аппаратные затраты на реализацию макроблока, выражающиеся в площади, занимаемой им на кристалле.

Традиционные подходы к построению средств проектирования топологии сложных иерархических объектов в условиях неопределенности проектных норм описаны в [1].

Данный доклад содержит описание оригинальных результатов исследований авторов по комплексной автоматизации технологически инвариантного иерархического проектирования топологии макроблоков СБИС.

II. ЭТАПЫ ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ СЛОЖНЫХ ОБЪЕКТОВ МИКРОЭЛЕКТРОННЫХ СИСТЕМ

Проектирование топологии сложных иерархических микроэлектронных объектов включает в себя четыре основных этапа, перечисленных ниже.

1. Проектирование индивидуального иерархического структурно-топологического плана макроблока.

2. Проектирование индивидуальных топологических моделей для разных ячеек макроблока.

3. Проектирование библиотеки специализированных ячеек для разрабатываемого макроблока.

4. Проектирование программ для сборки топологии разрабатываемого макроблока из ячеек.

Подход к проектированию топологии сложных иерархических микросистемных объектов, изложенный в [2] – [4] основан на оригинальных методах и реализующих их программных средствах генерации топологии.

Возможность оперативной настройки топологии на требуемые проектные нормы обеспечивает система сжатия ячеек «*TopDesign*» [5]. В процессе адаптации топологии ячеек к технологическим требованиям предприятий-изготовителей она учитывает не только проектные нормы, но и заданные разработчиком дополнительные ограничения на расстояния между выводами и границами ячеек. Это позволяет согласовывать ячейки иерархических макроблоков по габаритам и по расположению выводов.

Достижение высокой плотности упаковки топологии макроблоков обеспечивает система проектирования топологии иерархических макроблоков «*Matching of Cells*» [2] – [4]. Она разработана на основе оригинального метода [6] – [7] индивидуального согласования габаритов и координат выводов ячеек.

III. СТРУКТУРНО-ТОПОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ СЛОЖНЫХ ОБЪЕКТОВ МИКРОЭЛЕКТРОННЫХ СИСТЕМ В УСЛОВИЯХ НЕОПРЕДЕЛЕННОСТИ ПРОЕКТНЫХ НОРМ

Описанные выше программные средства генерации топологии не решают задачи комплексной автоматизации топологического проектирования сложных объектов микросистемных систем в условиях неопределенности проектных норм.

Система «*TopDesign*» предназначена для разработки ячеек. С ее помощью проектировщик разрабатывает технологически инвариантные эскизные описания топологии и настраивает их конкретные проектные нормы.

Система «*Matching of Cells*» предназначена для разработки сложных микросистемных объектов. Она решает следующие задачи:

- формирует для заданных проектных норм дополнительные ограничения для согласования ячеек по их габаритам и координатам их выводов;
- генерирует (с помощью системы «*TopDesign*») для сложных иерархических макроблоков библиотеки согласованных специализированных ячеек;
- генерирует файл иерархического описания макроблока в соответствии с его структурно-топологическим планом.

Из сказанного следует, что первые два из перечисленных выше этапов проектирования топологии макроблоков интегральных схем не охвачены средствами автоматизации. В третьем этапе проектирования топологии формализации подвергались лишь действия по согласованию ячеек при их настройке на требуемые проектные нормы.

В рамках исследований по комплексной автоматизации проектирования топологии сложных объектов микросистемных систем в условиях неопределенности проектных норм авторами проводились работы по формализации и автоматизации действий разработчика, связанных с формированием:

- иерархического структурно-топологического плана макроблока с регулярной структурной организацией;
- топологических моделей для ячеек макроблока;
- технологически инвариантных топологических эскизов ячеек макроблока.

На основании разработанных методик и алгоритмов были созданы программные средства, моделирующие действия проектировщика по разработке топологии регулярных макроблоков. Они объединены в систему структурно-топологического проектирования регулярных макроблоков интегральных схем «*Macrobloc Structure Design*».

Структурно-топологический план регулярного макроблока или задается в виде таблицы с определенным числом строк и столбцов или «рисуются» линиями в топологическом слое «граница ячейки». Ячейкам присваиваются имена и задаются коэффициенты матрицирования.

На плане поверх ячеек проводятся шины. Для этого используются линии с параметрами «топологический слой», «ширина шины», «имя сигнала».

Это позволяет проектировщику разрабатывать топологические модели ячеек макроблока прямо на его топологическом плане. Затем с применением библиотеки разработанных для этого функций структурно-топологический план с проведенными на нем шинами разбивается по линиям границ на отдельные ячейки.

Для каждой из ячеек формируется текстовый файл спецификации, содержащий описание границ ячеек и их выводов. Для самого макроблока формируется его иерархическая спецификация, представляющая собой иерархическое описание его топологии.

На рис. 1 представлено окно системы «*Macrobloc Structure Design*»с примером структурно-топологического плана макроблока.

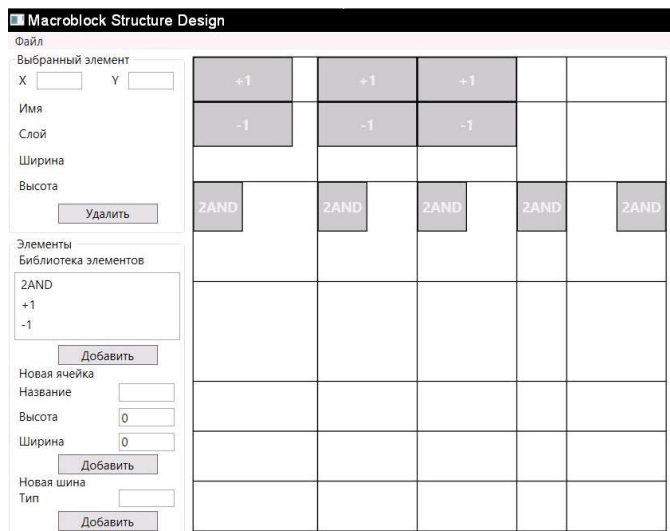


Рис. 1. Окно системы «Macrobloc Structure Design» с примером структурно-топологического плана макроблока

Ниже приведена спецификация макроблока, структурно-топологический план которого представлен на рис. 1.

```
[TABLE]
VERT: 100;100;100;25;125;
HORZ: 45;45;150;100;45;45;45;
[CELLS]
2AND: H:50;W:50;
+1: H:45;W100;
-1;H:45;W100;
[OBJECTS]
CELL: 2AND;0/2;X:25;Y:115
CELL: 2AND;1/2;X:125;Y:115
CELL: 2AND;2/2;X:225;Y:115
CELL: 2AND;3/2;X:325;Y:115
CELL: 2AND;4/2;X:375;Y:115
CELL: +1;0/0;X:25;Y:25
CELL: +1;1/0;X:125;Y:25
CELL: +1;2/0;X:225;Y:25
CELL: -1;0/1;X:25;Y:70
CELL: -1;1/1;X:125;Y:70
CELL: -1;2/1;X:225;Y:70
WIRE: GND;H:5;W:450;X:10;Y:125;
```

Спецификации ячеек используются при разработке технологически инвариантных эскизов топологии ячеек и при генерации библиотеки ячеек макроблока в конкретных проектных нормах.

Технологически инвариантные эскизы или разрабатываются топологом или генерируются разработанной авторами программой «Layout Generation» по электрическим схемам ячеек в форматах *Spice-netlist* или *EDF*.

Пример результата генерации эскиза топологии ячейки иллюстрируют рис. 2 и 3, на которых соответственно приведены окно разработанной авторами программы генерации топологических эскизов «Layout Generation» и окно системы сжатия «TopDesign».

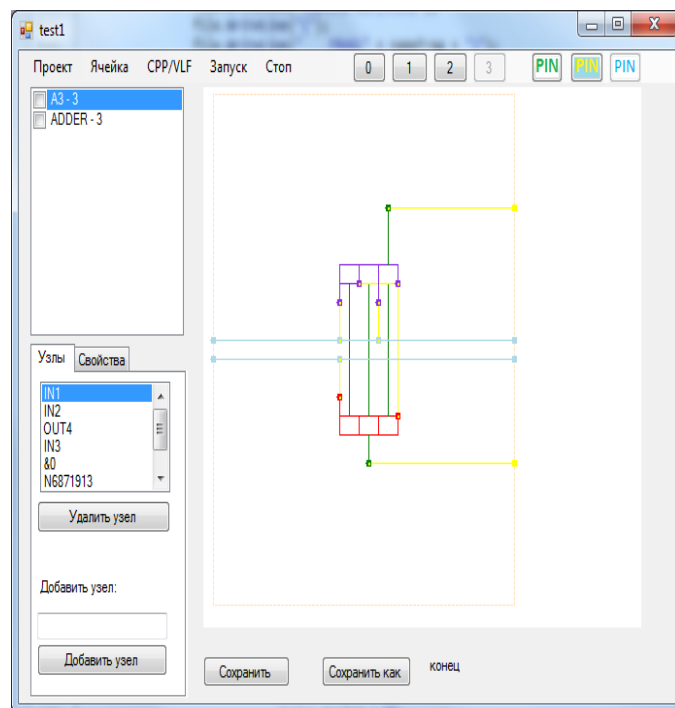


Рис. 2. Окно программы генерации топологических эскизов «Layout Generation»

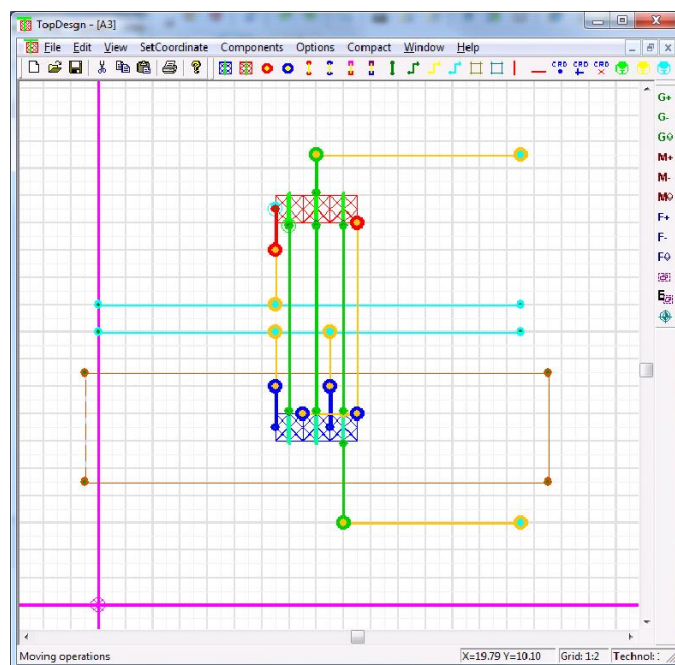


Рис. 3. Окно системы сжатия «TopDesign» с топологическим эскизом, сгенерированным программой «Layout Generation» (рис. 2)

Система «Matching of Cells» на основании информации из спецификаций ячеек и иерархической спецификации макроблока согласует ячейки по габаритам и по координатам выводов, после чего собирает из них топологию макроблока.

Таким образом, с помощью разработанных средств задача комплексной автоматизации проектирования

топологии регулярных объектов микросистемных систем в условиях неопределенности проектных норм может быть решена в соответствии с этапами, приведенной ниже методики.

1. Разработка структурно-топологического плана макроблока СБИС в системе «*Macroblock Structure Design*».

2. Автоматическое разбиение структурно-топологического плана макроблока на ячейки и программная генерация текстовых файлов:

- спецификаций ячеек (описание границ ячеек и их выводов);
- иерархической спецификаций макроблока (структурированное описание компоновки топологии).

3. Разработка библиотеки виртуальных описаний топологий ячеек макроблока в формате системы сжатия топологии ячеек «*TopDesign*»:

- путем разработки вручную топологом или
- путем программной генерации эскизов по электрическим схемам ячеек в форматах *EDF* или *Spice-netlist*.

4. Формирование библиотеки реальных описаний топологий ячеек макроблока в заданных проектных нормах с помощью системы иерархического проектирования топологии макроблоков «*Matching of Cells*».

5. Генерация выходного файла иерархического описания топологии макроблока на языке *CIF* с помощью программы «*Matching of Cells*».

IV. ЗАКЛЮЧЕНИЕ

Описанные средства и методика проектирования сложных объектов микросистемных систем в условиях неопределенности проектных норм тестируются в рамках выполнения государственного задания Минобрнауки России № 8.2080.2017/4.6 при проведении работ по проектированию микросистемных схем.

Основными полученными результатами являются:

- формализация процесса разработки топологических моделей ячеек на основе структурно-топологического плана макроблока СБИС;
- разработка системы структурно-топологического проектирования регулярных макроблоков интегральных схем «*Macroblock Structure Design*»;

- разработка программы генерации топологических эскизов ячеек «*Layout Generation*»;
- разработка методики технологически инвариантного иерархического проектирования топологии макроблоков в системе «*Macroblock Structure Design*».

СПИСОК ЛИТЕРАТУРЫ

- [1] Bamji C., Varadarajan, R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec 6, 2012 - Technology & Engineering – 161 p., DOI 10.1007/978-1-4615-6139-2
- [2] Миронов С.Э. Модели и средства проектирования сложных топологических объектов микросистемных систем в условиях неопределенности проектных норм / С.Э. Миронов, А.Ю. Васильев, А.Х. Мурсаев // XXI-я международная конференция по мягким вычислениям и измерениям (SCM-2018): Сборник докладов в 3-х томах. Санкт-Петербург, 23 – 25 мая 2018 г. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2018. Т. 1. С. 522–525. ISBN: 978-5-7629-2239-5.
- [3] Миронов С.Э. Средства автоматизации иерархического проектирования сложных микросистемных схем при неопределенности проектных норм / С.Э. Миронов, А.Ю. Васильев, Н.М. Сафьянников // VIII Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем»: Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. Зеленоград, 01 – 05 октября 2018 г. М.: ИПИМ РАН, 2018. Выпуск III. С. 60–66. ISBN: 978-5-94627-160-8. Means of Automating the Hierarchical Design of Complex Microelectronic Circuits with Uncertainty of Design Rules / S.E. Mironov, A.Yu. Vasiliev, N.M. Safyanikov. P. 67. DOI 10.31114/2078-7707-2018-3-60-67
- [4] Зуев И.С. Проектирование специализированных кремниевых компиляторов в САПР параметризованных фрагментов КМОП БИС TopDesign / И.С. Зуев, С.Э. Миронов, Н.М. Сафьянников. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2017. 226 с., [20] с. цв. ил. ISBN 978-5-7629-2289-0.
- [5] Зуев И.С. Виртуальное символьное проектирование параметризованных фрагментов КМОП БИС / И.С. Зуев, С.Э. Миронов, Н.М. Сафьянников, А.Б. Максимов. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2016. 236 с., [20] с. вкл. ISBN 978-5-7629-2196-1.
- [6] Васильев А.Ю. Иерархическое проектирование топологии макроблоков КМОП больших интегральных схем в САПР Topdesign / А. Ю. Васильев, С. Э. Миронов // Навигация и управление движением. Материалы XVIII конференции молодых ученых «Навигация и управление движением» с международным участием. Санкт-Петербург, 15 – 18 марта 2016 г. СПб.: ГИЦ РФ АО «Концерн «ЦНИИ «Электроприбор», 2016. 691 с. ISBN 978-5-91995-047-9.с. 191-197.
- [7] Миронов С.Э. Управление процессом согласования сложных топологических объектов микросистемных систем в условиях неопределенности проектных норм / С.Э. Миронов, А.Ю. Васильев // II-я международная научная конференция по проблемам управления в технических системах (CTS'2017): Материалы конференции. Санкт-Петербург, 25 – 27 октября 2017 г. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2017. С. 198–201.