

# Транслятор описания топологии сложных иерархических объектов СБИС из реальной формы в виртуальную топологическую модель

С. Э. Миронов<sup>1</sup>, Л. Е. Андреев<sup>2</sup>

Санкт-Петербургский государственный электротехнический университет  
«ЛЭТИ» им. В.И. Ульянова (Ленина)

<sup>1</sup>semironovspb@yandex.ru, <sup>2</sup>l.andreev90@gmail.com

**Аннотация.** В статье проанализированы подходы к решению проблемы миграции топологии. Описан подход к миграции на разных структурных уровнях проектирования, базирующийся на переводе исходного описания топологии из реальных проектных норм в абстрактную виртуальную топологическую модель с последующим сжатием топологии. Высокая плотность упаковки топологии сложных иерархических объектов обеспечивается оригинальной технологией индивидуального итерационного согласования положения выводов и габаритов ячеек.

**Ключевые слова:** сложные иерархические объекты; виртуальные топологические модели; технологическая инвариантность; миграция топологии; сжатие топологии

## I. ВВЕДЕНИЕ

Ужесточение требований по срокам проектирования микросистемных изделий и постоянное уменьшение проектных норм породили технологию разработки топологии, не связанную с проектными нормами конкретного предприятия-изготовителя. Этот вид разработки получил название технологически инвариантного проектирования топологии СБИС и стал одним из основных в микросистемной электронике. Он предполагает разработку не собственно топологического чертежа, а лишь его виртуальной топологической модели – эскиза топологии, задающего расположение ее элементов относительно друг друга с помощью графов или на абстрактной координатной сетке. Точное расположение и детальную прорисовку они приобретают после выполнения процедуры сжатия топологии в требуемых проектных нормах. Учет при сжатии дополнительных ограничений на габариты и расположение выводов позволяет создавать библиотеки ячеек и проектировать на их основе сложные иерархические устройства, называемые макроблоками СБИС.

Наряду с разработкой топологии новых устройств в концепции технологически инвариантного проектирования большую популярность приобрел перевод топологии с одних проектных норм на другие, получивший название «миграция топологии».

Работа посвящена изложению результатов исследований авторов в области миграции топологии. Она продолжает начатые ранее исследования миграции топологии ячеек СБИС. Однако, в ней предлагается иной взгляд на одну из задач миграции топологии ячеек и излагаются результаты исследований проблем миграции уже не ячеек, а иерархических макроблоков СБИС.

Научная новизна заключается в разработке подходов к миграции на разных структурных уровнях проектирования с применением разработанных авторами методов и средств для сокращения площади схем на кристалле.

## II. ПОДХОДЫ К РЕШЕНИЮ ПРОБЛЕМЫ МИГРАЦИИ ТОПОЛОГИИ

К решению проблемы миграции топологии существует два подхода. В рамках первого подхода [1, 2, 3] выполняется пересчет размеров элементов топологии на новые проектные нормы, и с целью уменьшения зазоров между элементами осуществляется процедура сжатия топологии. Второй подход [4] предполагает перевод исходного описания топологии из реальных проектных норм в абстрактную виртуальную форму. После этого с помощью программных средств сжатия топология может быть настроена на требуемые проектные нормы.

Авторы уже занимались вопросами технологически инвариантного виртуального символического проектирования топологии на базе алгоритмов сжатия на виртуальной координатной сетке [5, 6]. В связи с этим для реализации метода миграции топологии и соответствующих программных средств авторами еще в [7] был выбран вариант, базирующийся на трансляции описания топологии из реальной формы в виртуальную форму.

Последующее сжатие топологии ячеек должно осуществляться средствами системы технологически инвариантного проектирования топологии ячеек интегральных схем «TopDesign» [5].

Что же касается сжатия топологии объектов верхнего уровня иерархии (иерархических макроблоков СБИС), то

их настройка на требуемые проектные нормы должна осуществляться с помощью системы проектирования топологии макроблоков «*Matching of Cells*» [6].

### III. ТРАНСЛЯТОР РЕАЛЬНОГО ОПИСАНИЯ ТОПОЛОГИИ ЯЧЕЕК ИНТЕГРАЛЬНЫХ СХЕМ В ВИРТУАЛЬНУЮ ТОПОЛОГИЧЕСКУЮ МОДЕЛЬ

Трансляция описания топологии из реальной формы в виртуальную форму предусматривает как качественное, так и количественное преобразование описания топологии, обеспечивающее переход:

- от комбинаций геометрических фигур в реальных топологических слоях к фигурам в виртуальных слоях;
- от реальных единиц измерения к виртуальным единицам;
- от операторов языка описания реальной топологии к операторам языка описания виртуальной топологии.

На рис. 1 приведены примеры перехода от реальных топологических слоев к виртуальным слоям и от одних геометрических фигур к другим.

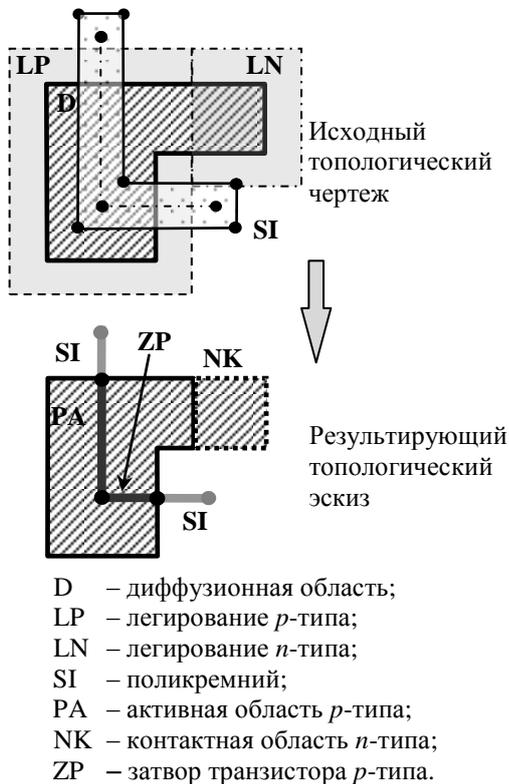


Рис. 1. Преобразование геометрических фигур в реальных топологических слоях в фигуры виртуальных топологических слоев

Необходимо обратить внимание на тот факт, что на рис. 1 при переходе от топологического чертежа к топологическому эскизу поликремний не просто разбивается на части в разных виртуальных слоях. Трансляция из реальной формы описания в виртуальную форму предполагает преобразование геометрических фигур, с помощью которых описываются межсоединения.

Это связано с тем, что в описании реальной топологии ячеек межсоединения часто задаются координатами угловых точек их границы. При сжатии ширина таких связей может уменьшиться до минимально допустимой проектными нормами ширины проводника. А это может в свою очередь изменить предусмотренное разработчиком сопротивление проводника. В связи с этим при трансляции осуществляется переход от описания соединения многоугольниками к его описанию трассами, для которых характерна постоянная ширина на каждом из их отрезков или на всем протяжении трассы.

Однако эти соображения, высказанные в [7], со временем были частично пересмотрены. Операции преобразования контуров в трассы, обеспечивающие должное сопротивление проводника, нужны лишь для длинных межсоединений при трассировке связей между ячейками. Внутри ячеек такие преобразования необходимы только для затворов транзисторов, длину каналов которых необходимо соблюсти точно. Какие-либо отклонения от ширины остальных проводников, заданных многоугольниками, если и возникнут в процессе сжатия, то будут не столь уж значительными.

Таким образом, если учесть, что межячеечные связи и затворы транзисторов имеют простую форму, трансляция описания проводников не будет чрезмерно ресурсоемкой.

Программа транслятора снабжена графическим интерфейсом, в окнах которого отображаются исходный топологический чертеж (рис. 2) и результирующий виртуальный эскиз (рис. 3) обрабатываемого описания топологии.

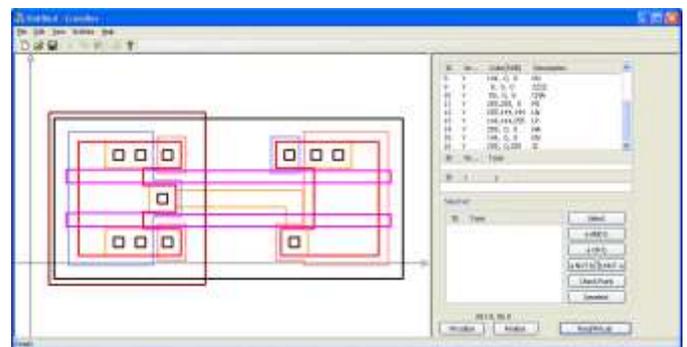


Рис. 2. Окно транслятора с исходным топологическим чертежом ячейки «2И-HE» стандартной библиотеки КМОП СБИС

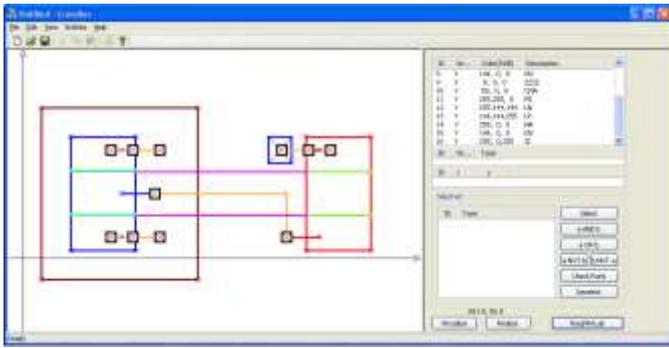


Рис. 3. Окно транслятора с результирующим топологическим эскизом ячейки “2И-HE” стандартной библиотеки КМОП СБИС

Перед запуском процесса трансляции задаются необходимые для нее параметры. К ним относятся:

- условные обозначения топологических слоев, используемые в описании реальной топологии
- шаг сетки координатного поля реальной топологии, используемый для пересчета реальных координат в виртуальные;
- минимальные ширины шин в разных топологических слоях, используемые для пересчета ширины реальных шин в ширины виртуальных шин;
- размеры контактов разного типа.

#### IV. ТРАНСЛЯЦИЯ ОПИСАНИЯ ТОПОЛОГИИ МАКРОБЛОКОВ ИЗ РЕАЛЬНОЙ ФОРМЫ В ВИРТУАЛЬНУЮ ИЕРАРХИЧЕСКУЮ МОДЕЛЬ

Задача трансляции описания топологии иерархических макроблоков из реальной в виртуальную форму распадается на ряд этапов, одним из которых является рассмотренный выше процесс преобразования в виртуальную форму реального описания топологии ячеек. Однако, помимо виртуальной библиотеки ячеек в состав технологически инвариантного проекта входит текстовый файл спецификации макроблока – виртуальное иерархическое описание макроблока.

В соответствии со структурно-топологическим планом осуществляется согласование ячеек по габаритам и положению выводов и сборка топологии макроблока с помощью системы проектирования «*Matching of Cells*» [6]. Она обеспечивает высокую плотность упаковки топологии макроблоков, благодаря оригинальной технологии индивидуального итерационного согласования положения выводов и габаритов ячеек.

Виртуальное описание иерархической топологии (текстовый файл спецификации макроблока) получается путем преобразования файла описания реальной топологии в соответствии с приведенным ниже алгоритмом, иллюстрируемым примером преобразования описания матричного делителя в таблице.

По координатам из операторов позиционирования подфрагментов, входящих в состав рассматриваемого структурного компонента макроблока, определяется его

пространственная ориентация (горизонтальная или вертикальная) и к имени компонента в виртуальном описании добавляется соответствующий индекс (g или v).

Операторы позиционирования подфрагментов сортируются по значению несовпадающих координат, располагаясь в очередности “сверху вниз” для вертикальных структурных компонентов и “справа налево” для горизонтальных. В виртуальное описание переносятся только имена подфрагментов без указания точек их привязки.

Применительно к примеру матричного делителя результат этих действий приведен во втором столбце таблицы I. Однако, для улучшения восприятия файла спецификации и с целью создания параметризованных средств программной генерации топологии, для повторяющихся элементов структурного описания (ячеек и строк) можно ввести коэффициенты матрицирования, как это сделано в третьем столбце таблицы.

ТАБЛИЦА I ТРАНСЛЯЦИЯ ИЕРАРХИЧЕСКОГО ОПИСАНИЯ ТОПОЛОГИИ МАТРИЧНОГО ДЕЛИТЕЛЯ DIVID ИЗ РЕАЛЬНОЙ ФОРМЫ В ВИРТУАЛЬНУЮ

Исходное описание реальной топологии (на языке CIF)	Виртуальное описание топологии	
	Промежуточное	Результирующее (с использованием коэффициентов матрицирования)
DS 17 5 1; (“матричный делитель” Divid); 9 Divid; C 13 T 0 -2172; C 14 T 0 -4344; C 14 T 0 -6516; C 14 T 0 -8688; C 14 T 0 -10860; C 15 T 0 -13032; C 15 T 0 -15204; C 15 T 0 -17376; C 15 T 0 -19548; C 16 T 0 -21150; DF;	Divid :v DIV1 , 1 ; DIV2 , 1 ; DIV2 , 1 ; DIV2 , 1 ; DIV2 , 1 ; DIV3 , 1 ; DIV4 , 1 ;	Divid :v DIV1 , 1 ; DIV2 , 4 ;    DIV3 , 4 ;   DIV4 , 1 ;

Описание виртуальной топологии матричного делителя из таблицы приведено ниже:

Divid v: DIV1, 1; DIV2, 4; DIV3, 4; DIV4, 1;

Аналогичным образом формируются спецификации строк.

DIV1 g: B, 1; LC, 1; BASC, 1; RTC2, 1;

DIV2 g: B, 1; LC, 1; BASC, 1; RTC1, 1;

DIV3 g: B, 1; LC, 1; BASC, 1; RBC1, 1;

DIV4 g: BB, 1; BLC, 1; BASC, 1; RBC2, 1;

где B, BB, LC, BLC, BASC, RTC2, RTC1, RBC1, RBC2 – имена ячеек делителя.

Полученные спецификации макроблока и его строк и сгенерированные транслятором виртуальные описания топологии его ячеек используются для согласования ячеек

макроблока и его сборки в новых проектных нормах с помощью системы проектирования «*Matching of Cells*».

В качестве примера на рис. 4 приведен топологический чертеж макроблока Divid – матричного делителя без восстановления остатка из таблицы I, сгенерированный средствами системы «*Matching of Cells*». А на рис. 5 приведен топологический чертеж строки DIV1 матричного делителя Divid.

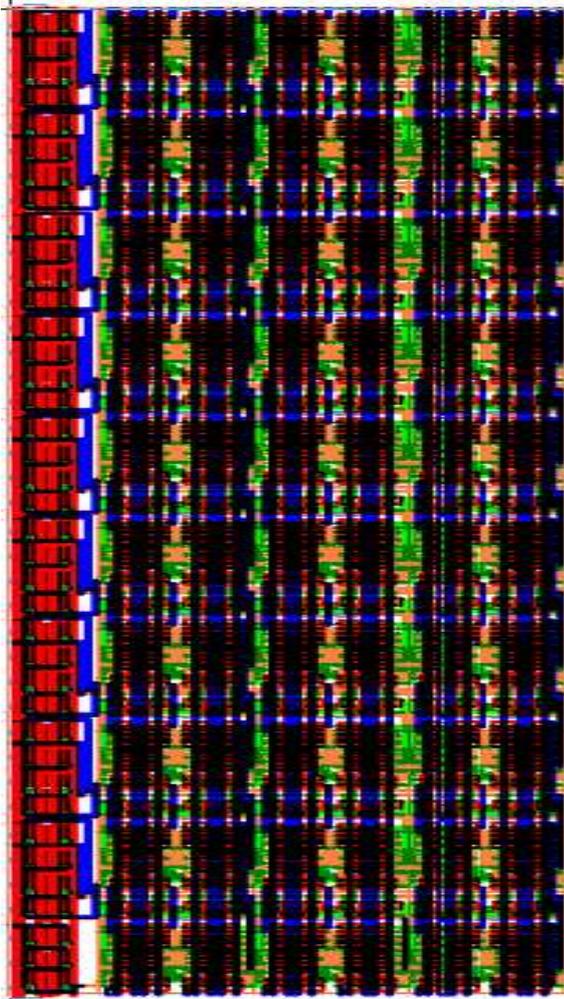


Рис. 4. Топологический чертеж макроблока Divid – матричного делителя без восстановления остатка

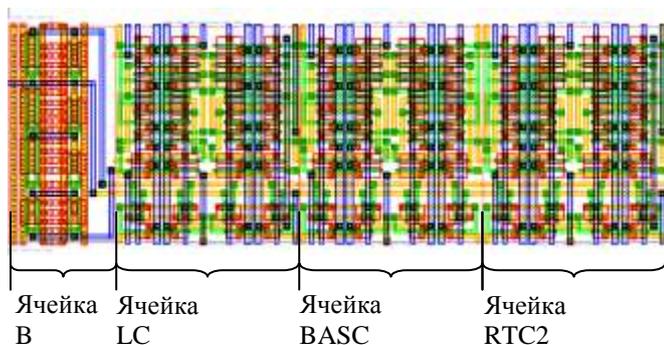


Рис. 5. Топологический чертеж строки DIV1 матричного делителя Divid

Необходимо отметить, что, заложенные в систему «*Matching of Cells*» принципы согласования ячеек и построения макроблоков СБИС позволяют реализовывать макроблоки как с регулярной, так и с нерегулярной структурно-топологической организацией, являющиеся более общим случаем организации макроблоков СБИС [6].

## V. ЗАКЛЮЧЕНИЕ

В статье предложен подход к решению проблемы миграции топологии, предполагающий выполнение следующих действий:

- трансляция исходного описания топологии в реальных проектных нормах в абстрактную виртуальную форму описания;
- настройка абстрактного виртуального описания топологии на требуемые проектные нормы с помощью программных средств сжатия топологии.

Высокая плотность упаковки топологии иерархических устройств обеспечивается оригинальной технологией согласования положения выводов и габаритов ячеек, заложенной в используемую для сжатия систему «*Matching of Cells*», позволяющую реализовывать как регулярные, так и нерегулярные макроблоки.

## СПИСОК ЛИТЕРАТУРЫ

- [1] J. Zhu, F. Fang, Q. Tang, "Calligrapher: a new layout-migration engine for hard intellectual property libraries," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 24(9), pp. 1347-1361, Sept. 2005.
- [2] De-Shiun Fu, Ying-Zhih Chaung, Yen-Hung Lin, Yih-Lang Li, "Topology-Driven Cell Layout Migration with Collinear Constraints," in International Conference on Computer Design (ICCD 2009), Squaw Creek, Lake Tahoe, California, pp. 439-444, 2009.
- [3] E. Shaphir, R. Y. Pinter, S. Wimer, "Efficient cell-based migration of VLSI layout," 223 p. Springer Science+Business Media, New York, 2014.
- [4] Xiaoping Tang, Xin Yuan, "Technology Migration Techniques for Simplified Layouts with Restrictive Design Rules," 2006 International Conference on Computer-Aided Design (ICCAD'06), November 5-9, 2006, San Jose, CA, USA pp. 655-660
- [5] I.S. Zuev, A. Maximov, "High-Density Layout Designing of CMOS VLSI Parameterized Fragments", Proceedings of IEEE East-West Design & Test Symposium (EWDTS'10), pp. 131-134. 2010.
- [6] S.E. Mironov, A.Yu. Vasiliyev, "Controlling the process of coordination of complex layout objects of microelectronic systems in conditions of uncertainty of design rules", Proceedings of 2017 IEEE 2nd International Conference on Control in Technical Systems, CTS 2017 (2017), pp. 192-195, 2017.
- [7] S.E. Mironov, I.V. Polukarov, N.M. Safiannikov, "VLSI cell layout description translator from real to virtual process-tolerant form", Izvestia ETU "LETI", 2011, no 9, p. 29-34.