

Метод и система поддержки принятия решений о переработке топологии ячеек БИС

С. Э. Миронов

Санкт-Петербургский государственный
электротехнический университет «ЛЭТИ»
им. В.И. Ульянова (Ленина)

semironovspb@yandex.ru

А. В. Вячин

Санкт-Петербургский государственный
электротехнический университет «ЛЭТИ»
им. В.И. Ульянова (Ленина)

avvyachin@mail.ru

Аннотация. В работе описываются разработанные авторами метод и программные средства поддержки принятия решений о переработке топологии микросистемных объектов. Программные средства базируются на предложенной авторами системе критериев эффективности проектирования топологии интегральных схем. Научная новизна заключается в разработке средств мониторинга и анализа, локализирующих топологические кластеры, требующие переработки

Ключевые слова: средства поддержки принятия решений; мониторинг геометрических параметров; плотность упаковки топологии

I. ВВЕДЕНИЕ

Измерение параметров проектируемых объектов и расчет на их основе показателей качества проекта являются неперенными составляющими любого процесса проектирования [1]-[2]. Автоматизация этих операций существенно упрощает и ускоряет проектирование. Это связано с тем, что оперативное измерение параметров объектов и расчет критериев их качества позволяют своевременно принять решение о возможной модификации проекта: корректировать или перерабатывать проект в целом или отдельные его составляющие. Это значит, что помимо средств измерения и вычисления характеристик необходимы средства локализации фрагментов проекта, требующих переработки.

Особенно значимым это является для проектирования сложных систем, к которым без сомнения можно отнести микросистемные объекты.

В статье рассматриваются система поддержки принятия решений о переработке топологии ячеек БИС на основе системы критериев качества топологии микросистемных объектов.

II. СИСТЕМА КРИТЕРИЕВ КАЧЕСТВА ТОПОЛОГИИ МИКРОЭЛЕКТРОННЫХ ОБЪЕКТОВ

Топология интегральной схемы представляет собой геометрическую плоскостную модель ее объемных компонентов. Основной характеристикой топологии является ее площадь. Очевидно, что чем меньшими ресурсами (при прочих равных условиях) решается задача, тем выше эффективность решения. Однако площадь это количественная характеристика, и она не может служить критерием качества топологии. На эту роль в большей степени подходит плотность упаковки

топологии. Но что понимать под плотностью упаковки? Соотношение площади компонентов и площади свободных от компонентов зон? Несомненно, что количество «пустот» может говорить об эффективности использования общей площади анализируемого объекта. Но этот показатель не свидетельствует об эффективности использования площади, занятой компонентами. В связи с этим авторам представляется, что критерий оценки качества топологии должен быть комплексным и должен отражать соотношение аппаратных затрат на основные компоненты и на компоненты вспомогательные. Интерполируя эти рассуждения на иерархию микросистемных компонентов, можно предложить следующий комплексный критерий качества, который позволит дать системную оценку сложных иерархических объектов:

- для верхнего уровня (уровня топологии микросистемных объектов) критерий качества – соотношение площади компонентов и площади свободных от компонентов зон;
- для зон, занятых компонентами, критерий качества – соотношение площадей основных и вспомогательных компонентов: площади транзисторов и площади соединительных шин.
- для транзисторов критерий качества – соотношение площадей каналов транзисторов и площадей стоковых/истоковых областей транзисторов.
- для коммутационных зон критерий качества – соотношение площади шин и контактов и площади пространства между ними.

Необходимо отметить, что по отдельности эти показатели могут характеризовать объект неполно. Наглядным примером сказанного могут служить топологии одноразрядного двоичного сумматора, приведенные на рис. 1. Они получены с использованием различных методов сжатия топологии [3]–[7], уменьшающих зазоры между компонентами. Такая технология проектирования позволяют оперативно настраивать топологию на требуемые проектные нормы. Поэтому ее стали называть миграцией топологии [8]–[11]. Из рисунка видно, что горизонтальный габарит топологий практически одинаков, и соотношение площадей топологий определяется соотношением их вертикальных габаритов. При этом соотношение площадей свободных и занятых зон топологий остается

примерно одинаковым. Качественное различие, проявляющееся в меньшей площади и соответственно в большей плотности упаковки второй топологии, обеспечивается благодаря изменению формы затворов и существенному изменению соотношения суммарной площади каналов транзисторов и суммарной площади стоковых/истоковых областей транзисторов.

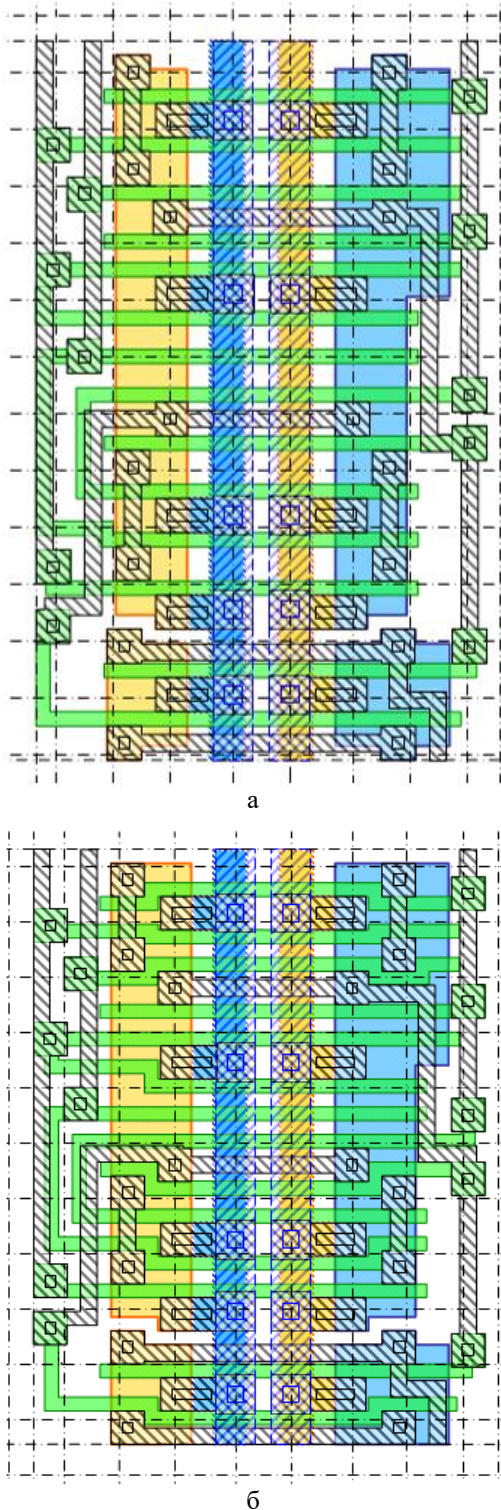


Рис. 1. Топологии одноразрядного двоичного сумматора с разной плотностью упаковки: а) с транзисторами линейной формы, б) с транзисторами сложной формы

Как видно из рис. 1 переход от затворов линейной формы к затворам сложной формы позволяет существенно повысить плотность упаковки: площадь сумматора на рис. 1б меньше площади сумматора на рис. 1а на 14 %.

III. СИСТЕМА «LAYOUT MONITORING» МОНИТОРИНГА И АНАЛИЗА КАЧЕСТВА ТОПОЛОГИИ МИКРОЭЛЕКТРОННЫХ ОБЪЕКТОВ

Вычисление площадей отдельных компонентов топологии (особенно сложной формы), несомненно, является задачей, требующей автоматизации. Для ее решения была разработана система мониторинга и анализа качества топологии микросистемных объектов «Layout Monitoring» [12].

В качестве исходных данных о геометрической модели микросистемного объекта выступает файл описания топологии на языке CIF. На основе CIF-файла создается структура для внутреннего представления двумерного описания топологии, с которой будет работать программа.

В окне настройки средств визуализации (рис. 2) пользователь задает параметры отображения компонентов топологии: цвет, толщину линий, заливку. В этом же окне пользователь должен указать с какими топологическими слоями или с какими их комбинациями должна работать программа. Например: поликремний (SI); активные области транзисторов p- и n-типа (PA+NA); нижний металл вне областей транзисторов (M1-(PA+NA)).

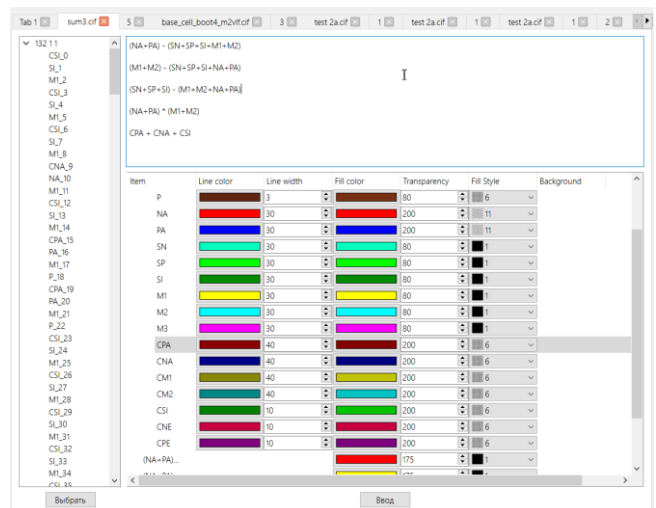


Рис. 2. Окно настройки средств визуализации системы «Layout Monitoring»

На рис. 3 представлено окно визуализации топологии и результатов анализа. Основную часть окна занимает визуализатор топологии ячейки, а под ним и слева от него представлены графические результаты анализа топологии в виде гистограмм. Гистограммы отображают площадь, занимаемую на соответствующей горизонтальной или вертикальной координате элементами в заданных пользователем топологических слоях или их комбинациях.

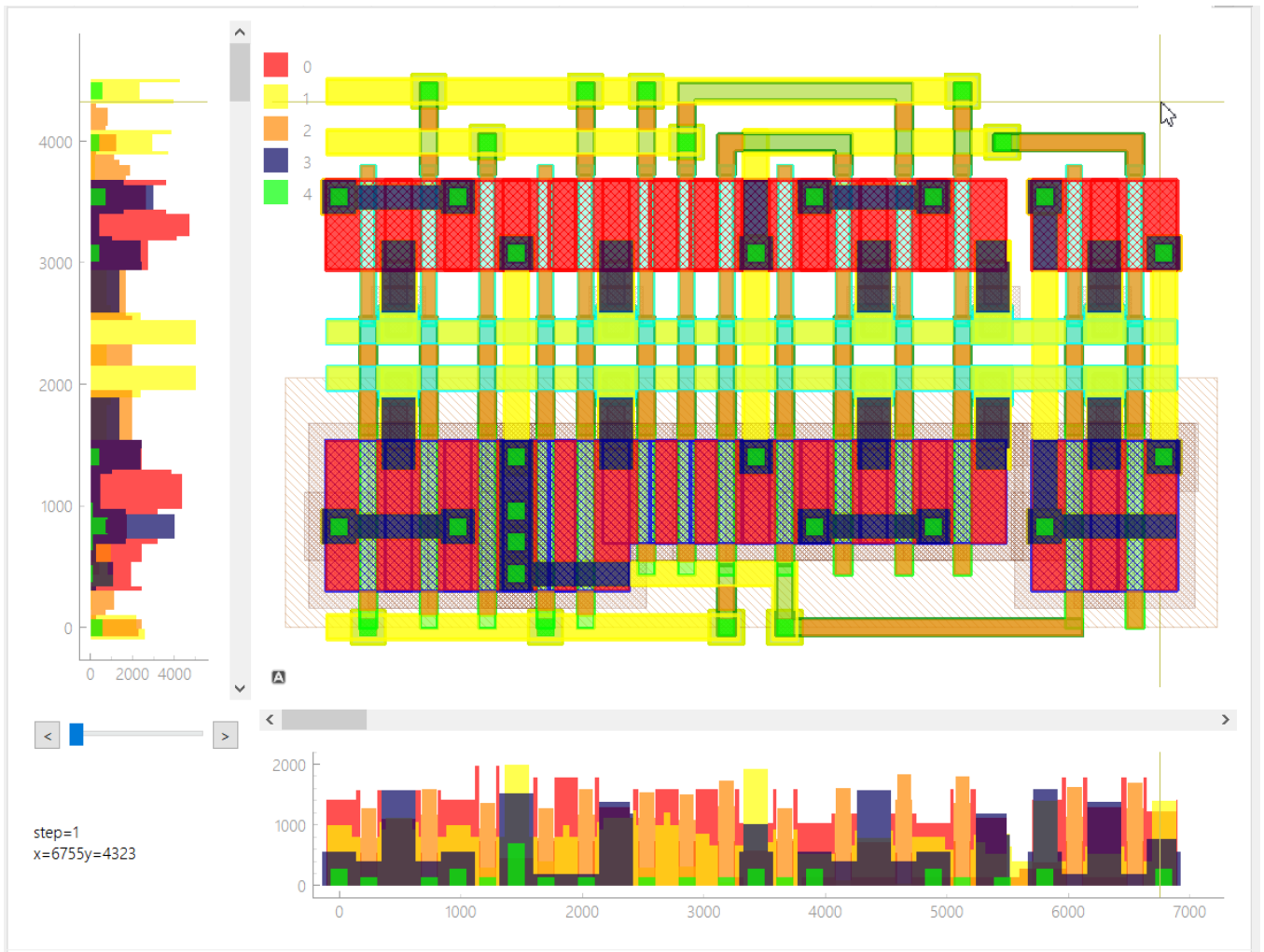


Рис. 3. Окно визуализации топологии и результатов анализа системы «Layout Monitoring»

Как уже было сказано выше, на основании результатов мониторинга и анализа параметров может потребоваться переработка топологии ячейки. В системе «Layout Monitoring» предусмотрены средства, позволяющие оценивать «насыщенность» топологии компонентами не только для всей ячейки, но и для отдельных ее кластеров. При этом в разных топологических слоях выявляются области, как с высокой, так и с низкой плотностью упаковки. Это позволяет оперативно находить в топологии свободные зоны. Они с одной стороны могут быть переработаны с целью уплотнения, а с другой стороны могут быть использованы для размещения в них компонентов, которые не помещаются в других частях топологии.

На рис. 4 приведен пример выявления в топологии разряженных зон в слое активных областей транзисторов n -типа. На гистограммах видны «провалы», соответствующие пустотам в центральной и правой верхней частях топологии.

Как видно из рис. 4 на гистограммах возможен «дребезг»: появление локальных «выбросов» и «провалов», мешающих восприятию информации. Для борьбы с этим явлением в системе применён метод широтно-импульсной модуляции. С помощью «ползунка» (в левом нижнем углу окна визуализации

топологии и результатов анализа) пользователь может изменять ширину зоны расчета параметров. Это позволяет сгладить гистограмму (рис. 5).

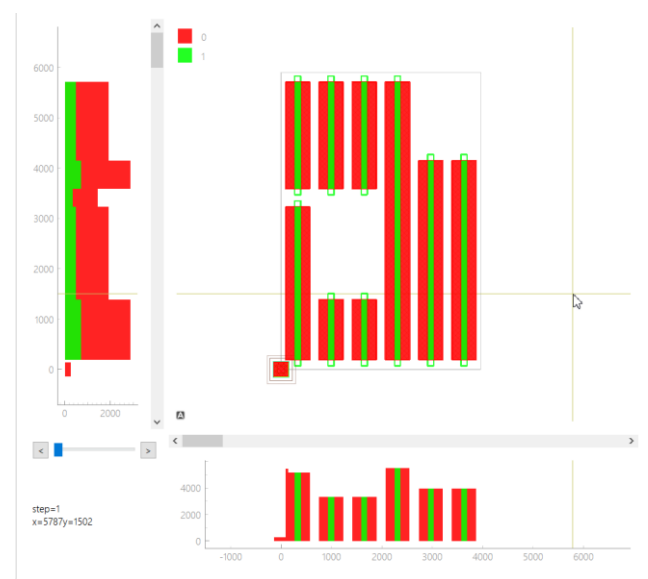


Рис. 4. Пример выявления в топологии разряженных зон в слое активных областей транзисторов n -типа

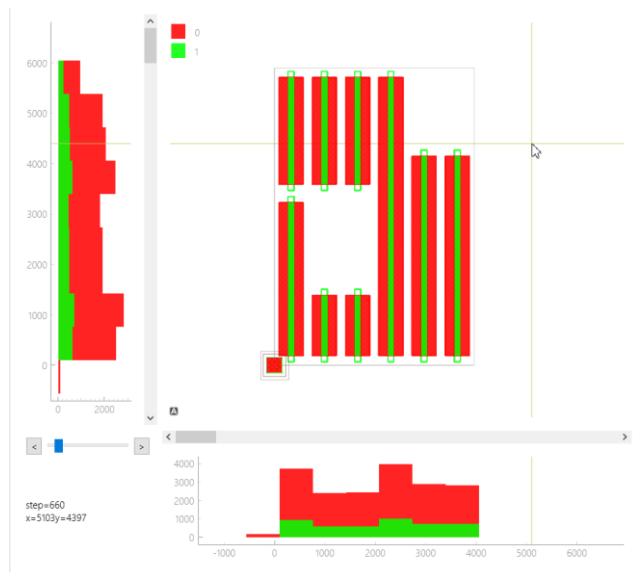


Рис. 5. Пример «сглаживания» гистограмм ячейки путем изменения ширины зоны расчета параметров

IV. ЗАКЛЮЧЕНИЕ

В работе приведены результаты исследований авторов в области разработки методов и средств поддержки принятия решений при проектировании топологии микроэлектронных объектов. Средства мониторинга и анализа топологии «*Layout Monitoring*», разработанные на основании предложенной авторами системы критериев качества, позволяют оперативно оценивать результаты топологического проектирования. Научная новизна заключается в разработке средств мониторинга и анализа, локализирующих топологические кластеры, требующие переработки.

Направлением дальнейшего развития системы «*Layout Monitoring*» может стать исследование вопросов применения предложенной технологии к сложным иерархическим фрагментам СБИС.

СПИСОК ЛИТЕРАТУРЫ

- [1] Sherwani Naveed A. Algorithms for VLSI physical design automation. USA, Kluwer academic publishers, 3d edition, 2002. 572 p.
- [2] Weste, N. H. E., Harris, D. CMOS VLSI Design. A Circuits and Systems Perspective. USA, Addison-Wesley, 3d edition, 2005. 971 p.
- [3] Mironov S.E., Kuchin I.A. Management of Modification of Geometric Models of Microelectronic Objects as a means of Improving Layout Compaction Systems // Proceedings of 2023 V International Conference on Control in Technical Systems (CTS), Saint Petersburg, Russian Federation, 2023, pp. 96-102, doi: 10.1109/CTS59431.2023.10289031.
- [4] Mironov S. E., Zibarev K. M. Modeling the Optimization Process of 2-Dimensional Models of 3-Dimensional Microelectronic Objects // Proceedings of 2021 IV International Conference on Control in Technical Systems (CTS), CTS-2021 September 2021. pp. 105–108. DOI: 10.1109/CTS53513.2021.9562944.
- [5] Bamji C., Varadarajan R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec 6, 2012 - Technology & Engineering. 161 p., DOI 10.1007/978-1-4615-6139-2
- [6] Zuev I.S., Maximov A. High-Density Layout Designing of CMOS VLSI Parameterized Fragments / I.S. Zuev, A. Maximov // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'10). St. Petersburg, 2010. pp.131–134.
- [7] Croes K., De Man H.J., Six P. CAMELEON: A ProcessTolerant Symbolic Layout System // IEEE Journal of Solid-State Circuits.- 1988.- V. 23, № 3.- P. 705-713, June.
- [8] Zhu J., Fang, Q. Tang. “Calligrapher: a new layout-migration engine for hard intellectual property libraries,” IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 24(9), pp. 1347-1361, Sept. 2005.
- [9] De-Shiun Fu, Ying-Zhih Chung, Yen-Hung Lin, Yih-Lang Li, “Topology-Driven Cell Layout Migration with Collinear Constraints,” in International Conference on Computer Design (ICCD 2009), Squaw Creek, Lake Tahoe, California, pp. 439-444, 2009.
- [10] Shaphir E., Pinter R. Y., Wimer S., “Efficient cell-based migration of VLSI layout,” 223 p. Springer Science+Business Media, New York, 2014.
- [11] Xiaoping Tang, Xin Yuan, “Technology Migration Techniques for Simplified Layouts with Restrictive Design Rules,” 2006 International Conference on Computer-Aided Design (ICCAD'06), November 5-9, 2006, San Jose, CA, USA pp. 655-660
- [12] Mironov S.E., Andreev L.E. Monitoring of Spatial Characteristics of Two-dimensional Models of Three-dimensional Microelectronic Objects // Proceedings of 2022 XXV International Conference on Soft Computing and Measurements (SCM), Saint Petersburg, Russian Federation, 2022, pp. 72-75, DOI: 10.1109/SCM55405.2022.9794860.