

Проектирование топологий ячеек БИС в условиях неопределенности проектных норм

П. М. Ширяев

*Санкт-Петербургский государственный
электротехнический университет
«ЛЭТИ» им. В.И. Ульянова (Ленина)*

pshir2000z@gmail.com

С. Э. Миронов

*Санкт-Петербургский государственный
электротехнический университет
«ЛЭТИ» им. В.И. Ульянова (Ленина)*

semironovspb@yandex.ru

Аннотация. Рассматривается методология автоматизированного проектирования топологий ячеек БИС, базирующаяся на имитации процесса проектирования «сверху вниз» сложных микроразборных объектов. Проектирование осуществляется в условиях неопределенности проектных норм. Это обеспечивает возможность принятия решения о выборе технологических линий для изготовления на тех или иных предприятиях. Используется подход виртуального символьного проектирования, который отделяет логико-геометрическую структуру схемы от абсолютных метрических размеров конкретной технологии за счёт использования параметризуемых моделей элементов и виртуальной сетки. Разработаны алгоритмы комбинаторного размещения транзисторов и многотерминальной трассировки ячейки. Описанная программная реализация интегрирует процедуры размещения, трассировки и редактирования схемы в единый автоматизированный редактор, позволяющий оперативно модернизировать топологию сложных микроразборных объектов.

Ключевые слова: размещение; трассировка; топология ячеек; неопределенности проектных норм; технологическая инвариантность

I. ВВЕДЕНИЕ

Постоянное масштабирование технологических норм и рост вычислительной сложности современных БИС формируют повышенные требования к инструментам автоматизированного проектирования [1]. В связи с этим актуальной научно-технической задачей становится разработка методологий, обеспечивающих описание БИС в условиях неопределенности проектных норм ещё на этапе создания топологической структуры. В данной статье представлена методика виртуального символьного проектирования микроразборных объектов, концептуально отделяющая логико-геометрическое описание схемы от конкретных проектных норм, а также алгоритмическое обеспечение её реализации.

Параметризация микроразборных систем [2][3] подразумевает возможность настройки геометрической модели на несколько векторов параметров: структурно-топологические, схематехнические, электрические, топологические и технологические. Наиболее многочисленна последняя группа, приобретающая особую значимость в условиях постоянной модернизации полупроводниковых производств. Абстрагирование топологии от конструкторско-технологических требований обеспечивает долговечность проектов благодаря возможности их оперативной адаптации к

проектным нормам выбранного предприятия-изготовителя. Это позволяет при разработке сосредоточиться на взаимном расположении элементов без утомительной детальной проработки под конкретные ограничения. Технология приведения виртуального описания к реальным геометрическим фигурам называется сжатием топологии и предполагает уменьшение расстояний между компонентами.

Для реализации данного подхода эффективна методология виртуального символьного проектирования. Принцип виртуальности заключается в полном абстрагировании от абсолютных метрических размеров: вместо физических координат используются условные позиции относительно шага виртуальной сетки. Принцип символьности подразумевает замену традиционных примитивов сложными параметризуемыми объектами, реализуемыми комбинацией нескольких топологических слоёв. Классическим примером служит МОП-транзистор, описываемый как единый объект с настраиваемыми параметрами длины и ширины канала.

Рассматриваемая методология имитирует процесс проектирования топологием «сверху вниз» сложных микроразборных объектов.

II. ПРОЕКТИРОВАНИЕ СТРУКТУРНОЙ МОДЕЛИ МАКРОБЛОКА

Процесс проектирования начинается с построения иерархической геометрической модели [4] макроблока БИС – структурно-топологического плана. Топологический эскиз формируется путём разбиения макроблока на отдельные ячейки и описания взаимного расположения этих ячеек. Этот подход позволяет декомпозировать сложный процесс на управляемые уровни и повысить эффективность генерации топологии.

Структурно топологический план разрабатывается в специализированном графическом редакторе, разработанном авторами (рис. 1). Редактор позволяет определить структуру устройства и сразу задать относительное положение магистральных шин устройства, что упрощает дальнейший процесс генерации топологий отдельных ячеек.

В результате получается структурная схема устройства, описываемая набором файлов спецификаций ячеек и структурного описания макроблока.

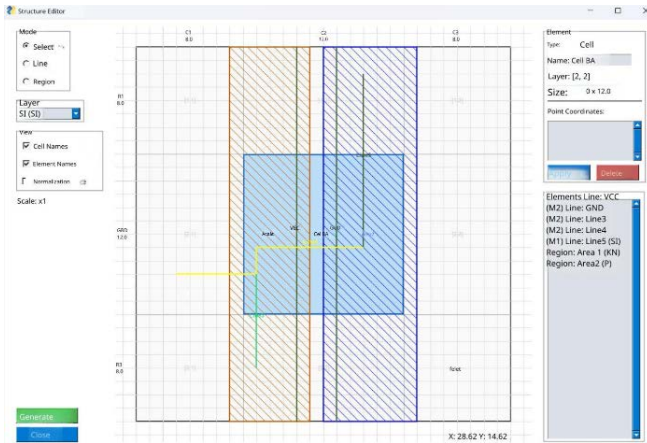


Рис. 1. Редактор структурно топологического план макроблока

Файл с описанием структуры устройства содержит информацию о порядке размещения и количестве ячеек. Пример описания представлен на рис. 2.

```
ROW1 :g Cell1 Cell111 ; Cell2 Cell221 ; Cell3 Cell331 ; EOL
ROW2 :g Cell4 Cell412 ; Cell BA Cell BA22 ; Cell5 Cell532 ; EOL
ROW3 :g Cell1 Cell113 ; Cell6 Cell623 ; Cell3 Cell333 ; EOL
TEST_DEVICE :v ROW1 ; ROW2 ; ROW3 ; EOL
```

Рис. 2. Спецификация макроблока

В свою очередь спецификация ячейки определяет размер ячейки и ее точки контактов на границе (рис. 3). В совокупности с электрической схемой ячейки, этот набор данных является достаточным для автоматизированного процесса реализации инвариантной топологии ячейки. Реализация включает два этапа: размещение транзисторов и трассировку ячейки.



Рис. 3. Спецификация ячейки

III. РАЗМЕЩЕНИЕ ТРАНЗИСТОРОВ В ЯЧЕЙКЕ

Задача размещения заключается в определении координат и ориентации каждого транзистора в заданной области ячейки при отсутствии недопустимых пересечений и оптимизации интегральных показателей.

Целевой функцией является взвешенная сумма разрывов строк сетки, столбцов сетки и эвристическая оценка сложности последующей трассировки [5]. Оценка сложности трассировки вычисляется как сумма расстояний недостающих путей при построении этих путей в изолированном пространстве.

Математическая постановка задачи размещения описывается формулой:

$$F(P) = \alpha \sum_{i=1}^N R_i + \beta \sum_{j=1}^M C_j + \gamma H_r(P)$$

где: P – набор координат K транзисторов на виртуальной сетке; R и C – штрафы за разрывы непрерывности диффузионных строк и поликремниевых столбцов соответственно; N и M – размерность сетки размещения; $H_r(P)$ – эвристическая оценка сложности последующей трассировки, вычисляемая как сумма полупериметров длин электрических; α, β, γ – нормированные весовые коэффициенты, определяющие баланс между отсутствием разрывов диффузионных областей, выравниванием затворов и сложностью последующей трассировки.

Для автоматизированного решения данной задачи предлагается использовать сетку размещения. В каждую клетку сетки потенциально может быть размещен один транзистор, при условии непротиворечивости потенциалов с соседями.

Так как размещение является задачей комбинаторной оптимизации [6]–[8], неопределенность решения высока. Поэтому для обеспечения потенциально более качественно результата на ранних этапах работы, алгоритм выполняет последовательное размещение транзисторов с учетом электрической схемы ячейки.

Поиск вариантов решения реализуется алгоритмом поиска в глубину с дополнительными условиями работы [9], которые включают приоритизацию частичных размещений, анализ сходства с уже найденными вариантами и переключение на поиск в ширину на поздних шагах.

Пример работы алгоритма размещения транзисторов на одной паре диффузионных линеек для ячейки сумматора представлен на рис. 4.



Рис. 4. Результат автоматического размещения транзисторов для схемы сумматора

IV. ТРАССИРОВКА ЯЧЕЙКИ

Задача трассировки ячейки БИС формулируется как поиск допустимых геометрических маршрутов для формирования электрических соединений между заранее размещенными компонентами. На данном этапе необходимо построить проводящие пути между контактами транзисторов, шинами питания и сигнала, а также внешними выводами ячейки в рамках многослойной структуры с учётом ограничений по ширине дорожек, зазорам и правилам формирования контактных переходов.

Ключевым критерием корректности выступает функциональная эквивалентность [10] топологии исходной схеме: все электрически связанные узлы должны быть соединены, а незапланированные коротки или разрывы недопустимы. Параллельно должна быть гарантирована технологическая реализуемость: геометрия проводников и параметры переходов обязаны

удовлетворять проектным нормам, нарушение которых делает изготовление устройства невозможным или экономически нецелесообразным.

Математическая постановка задачи трассировки ячейки сводится к поиску минимального по стоимости связующего дерева для каждого электрического потенциала на дискретной трёхмерной сетке. Целевая функция отражает суммарную взвешенную стоимость прокладки горизонтальных и вертикальных сегментов, а также переходов между слоями металлизации:

$$F = \sum_{k=1}^K \left(\alpha \sum_{e \in E} \omega_e x_e + \sum_{v \in V} \varphi_v y_v \right)$$

В данном выражении K обозначает количество независимых цепей, подлежащих соединению; E и V задают множества рёбер и межслойных переходов, выбранных для k -й цепи; бинарные переменные $x_e, y_v \in \{0,1\}$ фиксируют факт использования соответствующего элемента сетки. Параметры ω_e и φ_v определяют стоимость шага вдоль выбранного направления и слоя, а также штраф за формирование контактного перехода.

Алгоритм реализует многотерминальную трассировку на трёхмерной сетке. Ядром алгоритма является модификация алгоритма Ли [11], использующая в качестве источника и цели не отдельные точки, а группы точек. Слои сетки включаются в себя слой поликремния и заданное количество слоев металла. Для каждого слоя в каждом направлении детерминирована стоимость шага на соседнюю клетку сетки трассировки.

Возможность управления стоимостью шагов позволяет подстраивать алгоритм под конкретную задачу, улучшая качество решения.

Функцией оптимизации является стоимость пути. Построение путей происходит последовательно для каждого из потенциалов. Пример результата трассировки ячейки сумматора с одной парой диффузионных линеек представлен на рис. 5.

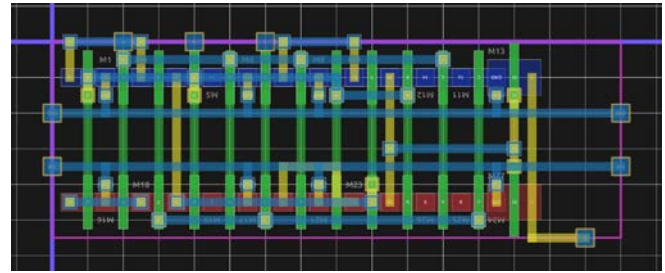


Рис. 5. Результат трассировки ячейки сумматора

V. СИСТЕМА ПРОЕКТИРОВАНИЯ ЯЧЕЕК

Для интеграции описанных функций был разработан автоматизированный редактор инвариантных топологий ячеек, позволяющий:

- добавлять, изменять и удалять компоненты ячейки (транзисторы, шины, контакты, межслойные переходы);
- изменять размеры ячейки;
- конфигурировать алгоритм размещения;
- конфигурировать алгоритм трассировки;
- выполнять автоматическое размещение транзисторов с возможностью выбора результата из множества решений;
- выполнять автоматическую трассировку;
- интерактивно редактировать описание электрической схемы ячейки;
- сохранять и открывать файлы топологии и электрической схемы;
- отслеживать состояние редактора через цветные индикаторы на панели управления.

Интерфейс редактора состоит из рабочей области топологии, меню и панели управления (рис. 6). Широкий набор функций позволяет гибко вести разработку топологии, а наличие автоматизации сокращает время разработки и улучшает качество решения.

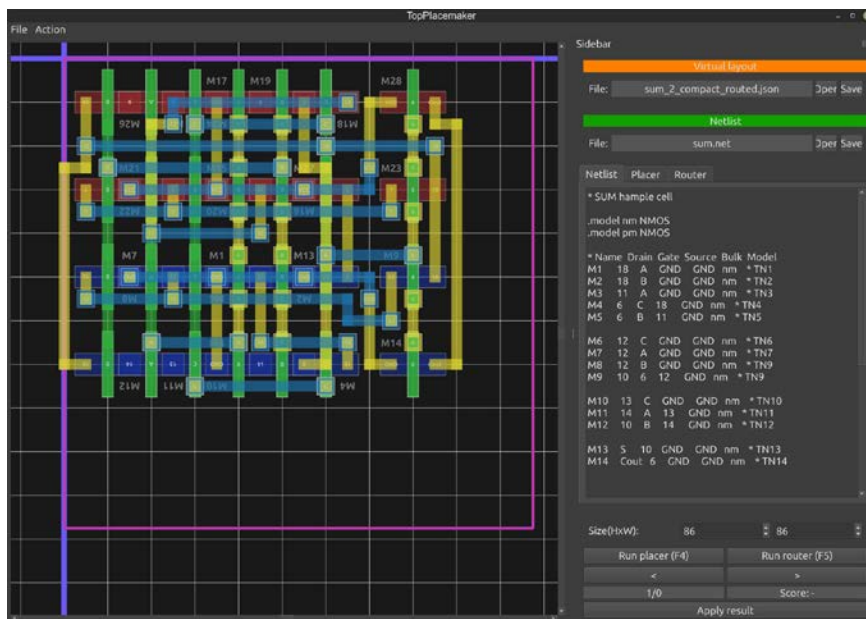


Рис. 6. Интерфейс автоматизированного редактора инвариантных топологий ячеек

VI. ЗАКЛЮЧЕНИЕ

В представленной работе предложен и реализован комплексный подход к автоматизированному проектированию топологий ячеек БИС в условиях неопределенности проектных норм, использующий геометрические модели микросистемных объектов. Разработанная методология виртуального проектирования позволяет отделить логико-геометрическую структуру схемы от абсолютных метрических размеров, обеспечивая технологическую инвариантность на ранних этапах разработки. Интеграция алгоритмов комбинаторного размещения и многотерминальной трассировки в единый программный комплекс демонстрирует эффективность последовательного решения задачи компоновки.

Созданный автоматизированный редактор инвариантных топологий объединяет управление структурными параметрами, настройку вычислительных процедур и интерактивное редактирование схемы в одной среде. Практическая реализация подтверждает, что предложенное решение сокращает трудоёмкость проектирования, гарантирует соблюдение конструкторско-технологических требований и сохраняет гибкость при адаптации проекта под различные производственные нормы.

СПИСОК ЛИТЕРАТУРЫ

- [1] I. L. Markov, J. Hu and M. -C. Kim, "Progress and Challenges in VLSI Placement Research," in Proceedings of the IEEE, vol. 103, no. 11, pp. 1985-2003, Nov. 2015, doi: 10.1109/JPROC.2015.2478963.
- [2] S. Sabbavarapu et al., "A Novel Physical Synthesis Methodology in the VLSI Design Automation by Introducing Dynamic Library Concept," 2013 International Symposium on Electronic System Design, Singapore, 2013, pp. 103-107, doi: 10.1109/ISED.2013.27.
- [3] S.E. Mironov, A.Yu. Vasiliyev, "Controlling the process of coordination of complex layout objects of microelectronic systems in conditions of uncertainty of design rules", Proceedings of 2017 IEEE 2nd International Conference on Control in Technical Systems, CTS 2017 (2017), pp. 192-195, 2017
- [4] Миронов С. Э., Ширяев П. М., Кайданович О. Ю. Модели в процессе проектирования сложных микросистемных объектов в условиях неопределенности // 2023 XXVI Междунар. конф. по мягким вычислениям и измерениям (SCM). Санкт-Петербург, 2023. С. 105–109.
- [5] Ziesemer A., Lazzar C. Transistor level automatic layout generator for non-complementary CMOS cells, 2007 IFIP International Conference on Very Large Scale Integration, Atlanta, GA, USA, 2007, pp. 116-121, doi: 10.1109/VLSISOC.2007.4402483
- [6] Jo K., Kim T. Optimal Transistor Placement Combined with Global In-cell Routing in Standard Cell Layout Synthesis, 2021 IEEE 39th International Conference on Computer Design (ICCD), Storrs, CT, USA, 2021, pp. 517-524, doi: 10.1109/ICCD53106.2021.00085.
- [7] J. Chen, Z. Zhu, L. Guo, Y. -W. Tseng and Y. -W. Chang, "Mixed-Cell-Height Placement With Drain-to-Drain Abutment and Region Constraints," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 41, no. 4, pp. 1103-1115, April 2022, doi: 10.1109/TCAD.2021.3077586.
- [8] M. Cardoso, A. Bubolz, J. Cortadella, L. Rosa and F. Marques, "Transistor Placement for Automatic Cell Synthesis through Boolean Satisfiability," 2020 IEEE International Symposium on Circuits and Systems (ISCAS), Seville, Spain, 2020, pp. 1-5, doi: 10.1109/ISCAS45731.2020.9181137.
- [9] Ширяев П.М., Миронов С.Э. Алгоритм плотноупакованного размещения транзисторов, учитывающий особенности топологической реализации ячеек БИС // Изв. СПбГЭТУ «ЛЭТИ». 2024. Т. 17, № 9. С. 46-52. doi: 10.32603/2071-8985-2024-17-9-46- 52.
- [10] Ширяев П.М., Миронов С.Э. Оптимизация трассировки ячейки БИС в условиях неопределенности // XXVIII Международная конференция по мягким вычислениям и измерениям. 2025. с. 123-126. doi: 10.1109/SCM66446.2025.11060254.
- [11] C. Y. Lee. An algorithm for path connections and its applications. IRE Transactions on Electronic Computers, 1961.